

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of
The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Applicant's copy

⑯ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑯ Patentschrift
⑯ DE 195 23 275 C 1

⑯ Int. Cl. 8:
G 06 K 7/06
G 06 K 19/07

RCA

89608

⑯ Aktenzeichen: 195 23 275.5-53 CITED BY APPLICANT
⑯ Anmeldetag: 27. 6. 95
⑯ Offenlegungstag: —
⑯ Veröffentlichungstag der Patenterteilung: 12. 12. 96

DE 195 23 275 C 1

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

⑯ Patentinhaber:

Orga Kartensysteme GmbH, 33104 Paderborn, DE

⑯ Erfinder:

Dietrich, Hanno, 33098 Paderborn, DE;
Wüppenhorst, Guido, 33098 Paderborn, DE; Martin,
Michael, 33098 Paderborn, DE

⑯ Für die Beurteilung der Patentfähigkeit
in Betracht gezogene Druckschriften:

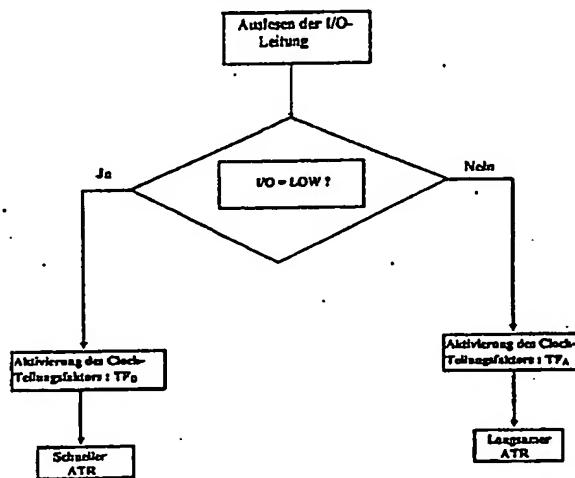
EP 03 47 894 A2

⑯ Verfahren zur Beschleunigung der Kommunikation zwischen einer Chipkarte und einem Datenaustauschgerät

⑯ Beschrieben ist ein Verfahren zur Beschleunigung der Kommunikation zwischen einer Chipkarte und einem Datenaustauschgerät, wobei aus der vom Datenaustauschgerät gelieferten Clockfrequenz und einem in der Chipkarte gespeicherten Clockfrequenzteilungsfaktor eine Übertragungsrate für die Datenübertragung auf der I/O-Leitung abgeleitet wird.

Als Identifizierung des Chipkartentyps und Kommunikations-einleitung sendet die Chipkarte nach einer bestimmten Anzahl von Clockzyklen nach einem vom Datenaustauschgerät gesendeten Reset-Signal oder nach einem in der Chipkarte generierten Reset-Signal eine vorbestimmte Bit-Folge (Answer-To-Reset) an das Datenaustauschgerät.

Zur Kommunikationsbeschleunigung werden nun vor dem Sendebeginn des Answer-To-Reset (ATR) innerhalb eines zeitlichen Abfragefensters von dem Datenaustauschgerät Informationen über die I/O-Leitung an die Chipkarte gesendet, wobei in Abhängigkeit von der gesendeten Information ein entsprechender Clockfrequenz-Teilungsfaktor r (TF_A , TF_B , ...) vor dem Senden des Answer-To-Reset aktiviert wird.



DE 195 23 275 C 1

Beschreibung

Die Erfindung bezieht sich auf ein Verfahren zur Beschleunigung der Kommunikation zwischen einer Chipkarte und einem Datenaustauschgerät nach dem Oberbegriff des Patentanspruchs 1, insbesondere bei zeitkritischen Anwendungen, wie weiter unten erläutert wird.

Zum besseren Verständnis des zugrunde liegenden Problems, einige allgemeine Anmerkungen vorab: Chipkarten verfügen zur Kommunikation mit den Datenaustauschgeräten (Chipkartenterminals) über elektrische Kontaktflächen: VCC (Versorgungsspannung), I/O (serielle Ein-/Ausgabe von Daten), CLK (Taktsignal), GND (Masse, Referenzspannung), RST (Reset), wobei weitere Kontaktflächen vorgesehen sein können. Für eine Kommunikation notwendig ist, daß in einem ersten Schritt die Kontaktierung der elektrischen Kontaktflächen der Chipkarte mit den elektrischen Kontakten des Datenaustauschgerätes erfolgt. Anschließend werden die Kontakte des Datenaustauschgerätes aktiviert: Versorgungsspannung und Taktsignal werden eingeschaltet, I/O und RST auf bestimmte Werte gesetzt. Dann wird bei Chipkarten mit einem sogenannten "aktiv low reset" vom Datenaustauschgerät ein Reset-Signal an den Chip in der Karte gesendet, woraufhin die Chipkarte eine vorbestimmte Bit-Folge an das Datenaustauschgerät zur Identifizierung des Kartentyps sendet – der sogenannte ATR (Answer-To-Reset). Erst danach erfolgt der eigentliche Datenaustausch. Karten mit einem internen Reset werden automatisch (ohne externes Reset-Signal) nach einer bestimmten Anzahl von Taktzyklen "resetet".

Aus Gründen der Standardisierung ist dieser Kommunikationsablauf mit Vorgaben für die elektrische Signalfolge in internationalen Normen, z. B. ISO 7816-3, festgelegt.

Die Chipkarte selbst verfügt über keinen Taktfrequenzgenerator (Schwingquarz), sie erhält das Taktsignal vom Datenaustauschgerät über die Clockleitung. Aus dieser vom Datenaustauschgerät vorgegebenen Clockfrequenz (periodische Spannungsimpulsfolge) wird eine Übertragungsrate für die Datenübertragung auf der I/O-Leitung mit einer definierten Dauer für ein Datenbit abgeleitet. Zu diesem Zweck wird die von der Chipkarte empfangene Frequenz (f_{CLK}) durch einen bestimmten Faktor (T_F) geteilt. Dies wird zum Beispiel durch die Einprogrammierung einer entsprechenden Warteschleife in der Chipkarte realisiert. Damit ist die Geschwindigkeit der Datenübertragung auf der I/O-Leitung zwischen Chipkarte und Datenaustauschgerät bestimmt durch die Clockfrequenz und den Teilungsfaktor (z. B. eine eingestellte Zahl von Schleifenzyklen).

In der oben genannten ISO-Norm sind für die Clockfrequenz Werte zwischen 1 und 5 MHz als zulässig vorgegeben. In diesem Rahmen sind Clockfrequenz und Teilungsfaktor normalerweise so bestimmt, daß die Daten auf der I/O-Leitung mit einer Übertragungsrate von 9600 Datenbits/sec gesendet werden. Mit dieser normalerweise eingestellten Datenübertragungsrate wird auch der Answer-To-Reset gesendet. Zwei gängige Wertepaare für Clockfrequenz und Teilungsfaktor sind:

- a) $f_{CLK} = 3,57 \text{ MHz}$; $T_F = 372$
- b) $f_{CLK} = 4,92 \text{ MHz}$, $T_F = 512$.

Die Verwendung der Clockfrequenz $f_{CLK} = 3,57 \text{ MHz}$ ist in Japan gebräuchlich, während die Clockfrequenz $f_{CLK} = 4,92 \text{ MHz}$ in Europa und USA ge-

bräuchlich ist.

Aus der EP 03 47 894 A2 ist ein Gerät zum Datenaustausch mit Chipkarten bekannt, das zwei Taktgeneratoren (einen für $f_{CLK} = 3,57 \text{ MHz}$ und einen für $f_{CLK} = 4,92 \text{ MHz}$) aufweist, um sowohl mit Chipkarten, die für den 3,57 MHz-Betrieb ausgelegt sind, als auch mit Chipkarten, die für den 4,92 MHz-Betrieb ausgelegt sind, kommunizieren zu können. Für diesen Zweck wird in dem dort beschriebenen Datenaustauschgerät die Start-Bit-Länge des ATR gemessen, um festzustellen, ob die Chipkarte im 3,57 MHz oder im 4,92 MHz-Betrieb arbeitet. In Abhängigkeit von diesem Meßergebnis wird anschließend der eine oder der andere Taktgenerator aktiviert. Danach erfolgt die Kommunikation des in der EP 03 47 894 A2 beschriebenen Datenaustauschgerätes mit einer Übertragungsrate von 9600 Bit/sec.

Allerdings gibt es bereits Chipkarten, in denen ein zweiter und ggf. weitere Teilungsfaktoren im ROM-Speicher (Read-Only-Memory) einprogrammiert sind, die kleiner sind als der normalerweise aktive Anfangsteilungsfaktor, der eine Übertragungsrate von 9600 Datenbits/sec generiert. Ein kleinerer Teilungsfaktor bedeutet eine schnellere Datenübertragung.

In dem Fall, daß eine Chipkarte einen zweiten Teilungsfaktor für eine schnelle Datenübertragung enthält (einprogrammiert ist), wird dieser Teilungsfaktor dem Datenaustauschgerät jedoch erst innerhalb des ATR's mitgeteilt. Erst wenn die Chipkarte und das Datenaustauschgerät sich im Rahmen einer nachgeschalteten Datenübertragungs-Protokoll-Typ-Selektion (PTS) auf den zweiten Teilungsfaktor "einigen", wird dieser Teilungsfaktor aktiv und der nachfolgende Datenverkehr auf der I/O-Leitung erfolgt mit einer entsprechend höheren Übertragungsrate. Nachteilig daran ist, daß der gesamte Datentransfer im Rahmen des ATR mit dem standardmäßig eingestellten, "langsamen" Teilungsfaktor erfolgt.

Dies führt zu erheblichen Problemen bei Anwendungen, wo der Datentransfer in einer äußerst kurzen Zeit stattfinden muß. Das ist zum Bsp. der Fall bei dem Einsatz einer Chipkarte als Datenträger- und Buchungs-/Bezahlmedium für die automatische Gebührenerfassung für die Straßenbenutzung von Fahrzeugen. Aufgrund der Fahrzeuggeschwindigkeit ist die Zeit für die Kommunikation zwischen Fahrzeug (Fahrzeugbordgerät-On-Bord-Unit mit Chipkarte) und einer straßenseitigen Erhebungsstelle auf einen Bereich von typischerweise unter 100 Millisekunden begrenzt. Wenn man dem nun die Zeit gegenüberstellt, die alleine schon der ATR der Chipkarte benötigt, wird das Problem mit der zeitlich sehr eng begrenzten Kommunikationsdauer deutlich: Ein typischer ATR weist 120 zu übertragende Bits auf. Bei einer Übertragungsrate von beispielweise 9600/s mit der diese übertragen werden, beträgt die Zeit für das Senden des ATR dann bereits 12,5 Millisekunden; d. h. schon mehr als 10% der zur Verfügung stehenden Kommunikationszeit.

Auch wenn die Chipkarte über einen zweiten Teilungsfaktor zur Einstellung einer höheren Datenübertragungsrate verfügt, so daß die Datenübertragung nach dem ATR und der Protokoll-Typ-Selektion (PTS) wesentlich schneller ist, so ist aufgrund des "langsamem" ATR und des PTS mit der Standardübertragungsrate vom Beginn der Aktivierung bis zur Selektion der schnellen Datenübertragung bereits relativ viel Zeit beansprucht worden.

Im Fall der automatischen Gebührenerfassung wird z. B. an jeder Erhebungsstelle die Kommunikation zwi-

schen Fahrzeugbordgerät (On-Bord-Unit) und Chipkarte mit einem Reset-Signal mit nachfolgend "langsamem" ATR gestartet. Oftmals wird sogar, um Strom zu sparen, zwischen den Erhebungsstellen am Fahrzeugbordgerät die Chipkarte vollständig elektrisch deaktiviert, so daß beim Eintritt eines Fahrzeuges in den Kommunikationsbereich einer Erhebungsstelle nach Sendung eines Kennungssignals o. dgl. durch die Erhebungsstelle ein "Kaltstart" für die Chipkarte erfolgt.

Vor diesem Hintergrund und zur Lösung des vorstehend genannten Problems ist es die Aufgabe dieser Erfindung, ein Verfahren zur Beschleunigung der Kommunikation zwischen einer Chipkarte und einem Datenaustauschgerät zu schaffen, wobei darauf zu achten ist, daß das Verfahren kompatibel ist zu Standard-Chipkarten/Datenaustauschgeräten.

Diese Aufgabe wird durch die im Patentanspruch 1 angegebenen Maßnahmen gelöst. Eine vorteilhafte Ausgestaltung der Erfindung ist im Unteranspruch 2 angegeben.

In der ISO-Norm 7816-3 ist festgelegt, daß der ATR, der auf der I/O-Leitung gesendet wird, in einem Zeitfenster, definiert durch eine bestimmte Anzahl von Clockzyklen nach dem Einschalten von Versorgungsspannung/Clocksignal, bzw. in einem Zeitfenster, def. durch eine bestimmte Anzahl von Clockzyklen nach dem Reset-Signal, beginnen muß. Daher muß sichergestellt sein, daß die I/O-Leitung vom Datenaustauschgerät rechtzeitig zu Beginn dieses Zeitfensters auf Empfang (Receptionmode; standardmäßig der Zustand "High") geschaltet wird. Zwischen dem Einschalten von Versorgungsspannung/Clocksignal bzw. dem Frei geben des Reset-Signals und dem Beginn des oben genannten Zeitfensters gibt es also eine Zeitspanne, in der der Zustand der I/O-Leitung den Aufbau der Kommunikation mit der Chipkarte gemäß dem Standard nicht beeinflußt. Zwar ist in der ISO 7816-3 vorgeschrieben, die I/O-Leitung bereits mit dem Einschalten der Versorgungsspannung auf "High" zu setzen, dies hat jedoch keine Relevanz für den weiteren Kommunikationsablauf.

Erfnungsgemäß erfolgt nun eine Abfrage des Zustandes der I/O-Leitung durch die Chipkarte in dieser Zeitspanne (Abfragerfenster). Da der Zustand der I/O-Leitung ("High" oder "Low") in diesem Zeitfenster bisher noch frei bestimbar ist, wird durch Setzen der I/O-Leitung in einen vorbestimmten Zustand und durch die Abfrage des Zustandes der I/O-Leitung durch die Chipkarte eine Umschaltung zwischen zwei in der Chipkarte gespeicherten Teilungsfaktoren (T_{FA} , T_{FB}) für die Clockfrequenz ermöglicht. Um möglichen Meßfehlern (undefinierte Zustände unmittelbar nach dem Setzen der I/O-Leitung) vorzubeugen wird das Auslesen innerhalb dieses Abfragerfensters in vorteilhafterweise mehrmals wiederholt. Die einzelnen Auslesewerte werden dann zur Ermittlung des als Umschaltkriterium dienenden Abfrageergebnisses miteinander verglichen. Dabei ist die Chipkarte so programmiert, daß wenn der abgefragte I/O-Zustand "Low" ist, die Chipkarte automatisch den Teilungsfaktor T_{FB} auswählt. Wichtig und von entscheidendem Vorteil hierbei ist, daß die Chipkarte auf diese Weise bereits den ATR mit der durch den selektierten Teilungsfaktor (T_{FB}) bestimmten Datenübertragungsraten sendet. Somit kann ein "schneller" oder ein "langsamer" ATR entsprechend der gespeicherten Teilungsfaktoren eingeschaltet werden. Bei einem Teilungsfaktor von beispielsweise 64 ergibt sich gegenüber dem standardmäßig eingestellten Teilungsfaktor 372 eine fast 6 mal schnellere Datenübertragung. Bei einer

Clockfrequenz von zum Bsp. 4,92 MHz und einem Teilungsfaktor von 64 kann ein typischer ATR also schon innerhalb von ca. 1,6 ms gesendet werden.

An Hand der Fig. 1 und 2 wird das Verfahren nachfolgend verdeutlicht. Fig. 1 zeigt ein Zeitdiagramm für den Verlauf von Versorgungsspannung (VCC), Clocksignal (CLK), Reset (RST) und I/O-Leitung. Nach dem Einschalten der Versorgungsspannung (VCC) und des Clocksignals (CLK) liegt zum Zeitpunkt T0 ein stabiles Taktsignal an CLK. Bei Chipkarten, die mit dem sogenannten "active low reset" arbeiten, ist die Reset-Leitung (RST) nach T0 für mindestens 40.000 Clockzyklen im Zustand "Low". Der Reset wird durch die ansteigende Flanke (RST von "Low" auf "High") zum Zeitpunkt T2 ausgelöst. Bei Chipkarten mit einem internen Reset setzt sich die Chipkarte nach einer gewissen Anzahl von Clockzyklen automatisch in den Ausgangszustand zurück. In der ISO-7816-3 ist vorgeschrieben, daß in einem Bereich von 400 bis 40.000 Clockzyklen nach T0 für Chipkarten mit einem internen Reset und nach T2 für Chipkarten mit einem "active low reset" beginnen muß. Bei einer Clockfrequenz von 4,92 MHz beträgt dieser Bereich eine Zeitspanne von 80 µs und 8 ms. Daher steht prinzipiell für Chipkarten mit einem internen Reset die Zeit zwischen T0 und T1 und für Chipkarten mit einem "active low reset" die Zeit zwischen T2 und T3 als zeitliches Abfragerfenster zur Verfügung.

Die in Fig. 1 dargestellte 1. Variante für die Lage des Abfragerfensters ist in vorteilhafterweise für Chipkarten mit einem internen Reset zu verwenden. Das in der ersten Variante dargestellte Abfragerfenster liegt zwischen dem Zeitpunkt T0 und dem möglichen Beginn des ATR (T1).

In der zweiten Variante fällt der Beginn des Abfragerfensters mit der ansteigenden Flanke des Reset-Signals zusammen.

In der dritten Variante ist der Beginn des Abfragerfensters auf einen Zeitpunkt von N-Clockzyklen nach T0 festgesetzt.

Das Setzen der I/O-Leitung auf "low" im Abfragerfenster kann z. B. durch Senden einer entsprechenden Anzahl von "Nullen" erfolgen. Dabei kann es so sein, daß die I/O-Leitung mit dem Einschalten der Versorgungsspannung auf "High" gesetzt wird und erst mit Beginn des Abfragerfensters auf "Low" gesetzt wird oder aber die I/O-Leitung ist schon vor dem Beginn des Abfragerfensters auf "low" gesetzt (vgl. Varianten 3 und 4).

Prinzipiell können die logischen Zustände der I/O-Leitung ("Low" oder "High") im Abfragerfenster als Umschaltkriterium vertauscht werden, da der Zustand der I/O-Leitung in dem Abfragerfenster den Aufbau der Kommunikation gemäß dem Standard nicht beeinflußt. Dieser noch vorhandene Freiheitsgrad wird erfahrungsgemäß zur Implementierung eines Umschalters zwischen zwei Teilungsfaktoren ausgenutzt. Die einzuhaltende Randbedingung ist nur, daß die I/O-Leitung rechtzeitig zum definierten Sendebeginn des ATR auf den standardmäßig vereinbarten Receptionmode gesetzt wird. Somit ist es auch möglich, mehr Informationen als nur die beiden Zustände ("High" oder "Low") zu übertragen, z. B. ein komplettes Byte. Damit sind dann verschiedene "Umschaltstellungen" realisierbar, wodurch eine Auswahl zwischen mehr als zwei Clockfrequenz-Teilungsfaktoren ermöglicht wird.

Zur Verdeutlichung ist in Fig. 1 noch der zeitliche Verlauf der I/O-Leitung gemäß dem Stand der Technik eingezeichnet.

Um die Kompatibilität des erfahrungsgemäß imple-

mentierten Verfahrens gegenüber Standard-Chipkarten/Datenaustauschgeräten zu verdeutlichen seien hier kurz die beiden möglichen Konstellationen angesprochen:

1) Die Verwendung einer Chipkarte mit dem erfundungsgemäß implantierten Verfahren (zwei Teilungsfaktoren: Standard-Teilungsfaktor, "schneller" Teilungsfaktor, Auslesen der I/O-Leitung in einem Abfragefenster vor dem Senden des ATR, Datenübertragung einschl. ATR mit dem aus der Abfrage ermittelten Clockteilungsfaktor) in einem Standard-Datenaustauschgerät, welches das erfundungsgemäße Verfahren nicht unterstützt:

Da bei dem Standard-Gerät die I/O-Leitung normalerweise unmittelbar mit dem Einschalten der Versorgungsspannung auf "High" gesetzt ist, wird die Chipkarte nach Abfrage der I/O-Leitung den Standard-Teilungsfaktor aktivieren. Der weitere Kommunikationsablauf ist unbehindert. Dies soll am Beispiel der in der automatischen Gebührenfassung eingesetzten Chipkarte verdeutlicht werden. Eine Chipkarte kann einerseits als erfundungsgemäß schnelles Datenträger- und Buchungs/Bezahlmedium in einem Fahrzeugbordgerät verwendet werden, welches das erfundungsgemäße Verfahren unterstützt, und andererseits kann eine solche z. B. als multifunktionale und wiederaufladbare Chipkarte ausgelegte Karte problemlos mit anderen Chipkartenterminals, die das erfundungsgemäße Verfahren nicht unterstützend kommunizieren (z. B. für einen Wiederaufladevorgang).

2) Die Verwendung einer Standard-Chipkarte in einem Datenaustauschgerät, welches das erfundungsgemäße Verfahren unterstützt:

Auch wenn der Zustand der I/O-Leitung in einem bestimmten Zeitbereich vor dem Sendezeitpunkt des ATR abweichend von dem normalerweise eingestellten Zustand auf "Low" gesetzt ist, wird dies die Standard-Chipkarte nicht "irritieren", da sie diesen Wert ja gar nicht abfragt.

In Fig. 2 ist das erfundungsgemäße Verfahren noch einmal schematisch dargestellt.

Patentansprüche

1. Verfahren zur Beschleunigung der Kommunikation zwischen einer Chipkarte und einem Datenaustauschgerät, wobei

- die Chipkarte zur Kommunikation mit den Datenaustauschgeräten elektrische Kontaktflächen für Versorgungsspannung (VCC), Taktsignal (CLK), Referenzspannung/Masse (GND) und die serielle Ein-Ausgabe von Daten (I/O) und ggf. für eine Reset-Leitung (RST) aufweist, welche zu entsprechenden Kontakten im Datenaustauschgerät korrespondieren,
- aus der vom Datenaustauschgerät gelieferten Clockfrequenz und einem in der Chipkarte gespeicherten Clockfrequenzteilungsfaktor eine Übertragungsrate für die Datenübertragung auf der I/O-Leitung abgeleitet wird,
- in der Chipkarte mindestens zwei verschiedene Clockfrequenz-Teilungsfaktoren (TFA , TFB , ...) gespeichert sind,
- die Chipkarte nach einer bestimmten Anzahl von Clockzyklen nach einem vom Daten-

austauschgerät gesendeten Reset-Signal oder nach einem in der Chipkarte generierten Reset-Signal eine vorbestimmte Bit-Folge (Answer-To-Reset) als Identifizierung des Chipkartentyps und Kommunikationseinleitung an das Datenaustauschgerät sendet,

dadurch gekennzeichnet, daß vor dem Sendebeginn des Answer-To-Reset (ATR) innerhalb eines zeitlichen Abfragefensters von dem Datenaustauschgerät Informationen über die I/O-Leitung an die Chipkarte gesendet werden, wobei in Abhängigkeit von der gesendeten Information ein entsprechender Clockfrequenz-Teilungsfaktor (TFA , TFB , ...) vor dem Senden des Answer-To-Reset aktiviert wird.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die I/O-Leitung ("High", "Low") vor dem Sendebeginn des Answer-To-Reset (ATR) innerhalb eines zeitlichen Abfragefensters von dem Datenaustauschgerät in einen vorbestimmten Zustand gesetzt wird und der Zustand der I/O-Leitung in diesem Abfragefenster von der Chipkarte mindestens einmal ausgelesen wird, wobei in Abhängigkeit von dem Ergebnis der Abfrage des Zustandes der I/O-Leitung ein entsprechender Clockfrequenz-Teilungsfaktor (TFA oder TFB) vor dem Senden des Answer-To-Reset aktiviert wird.

Hierzu 2 Seite(n) Zeichnungen

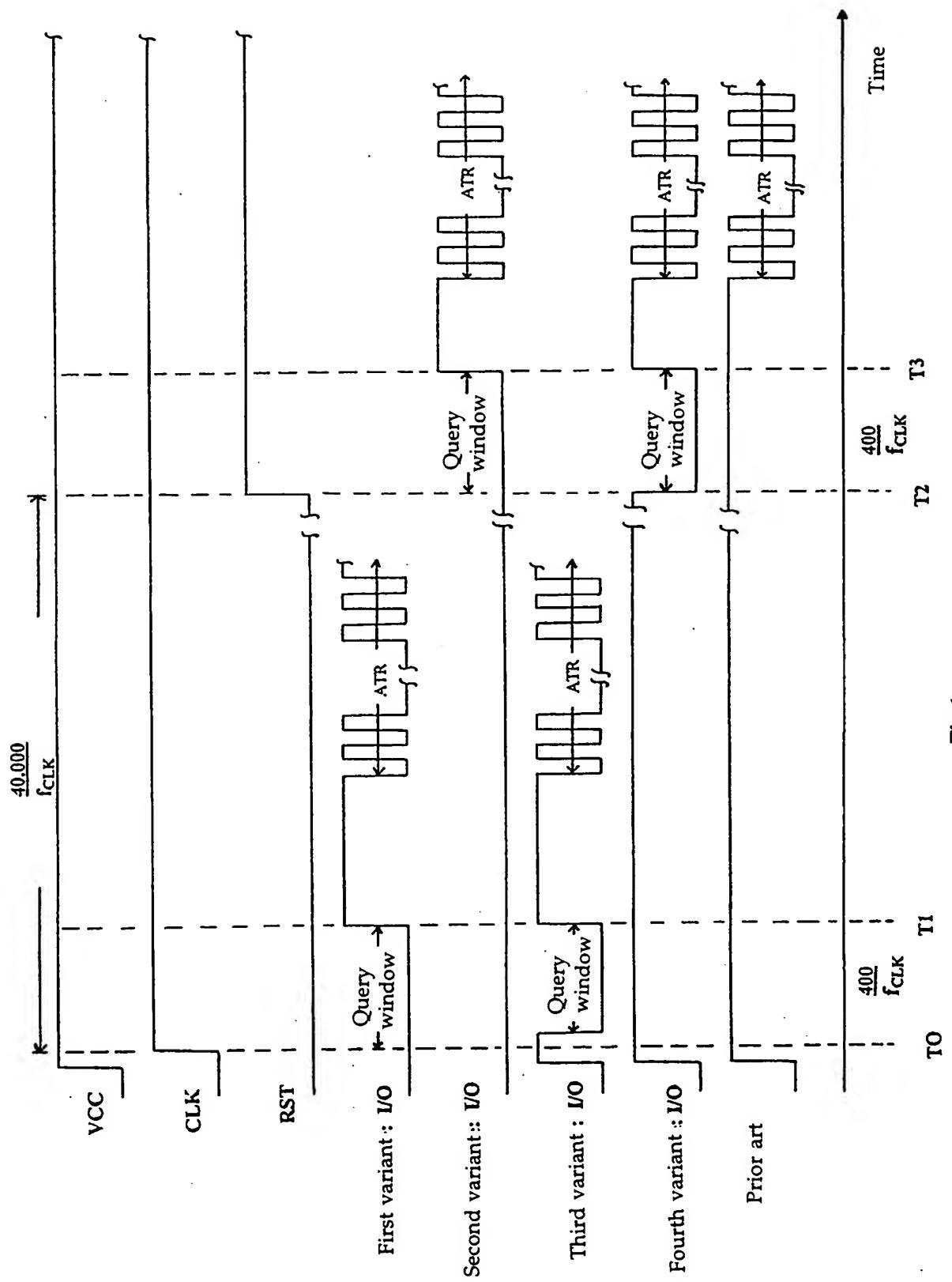


Fig.1

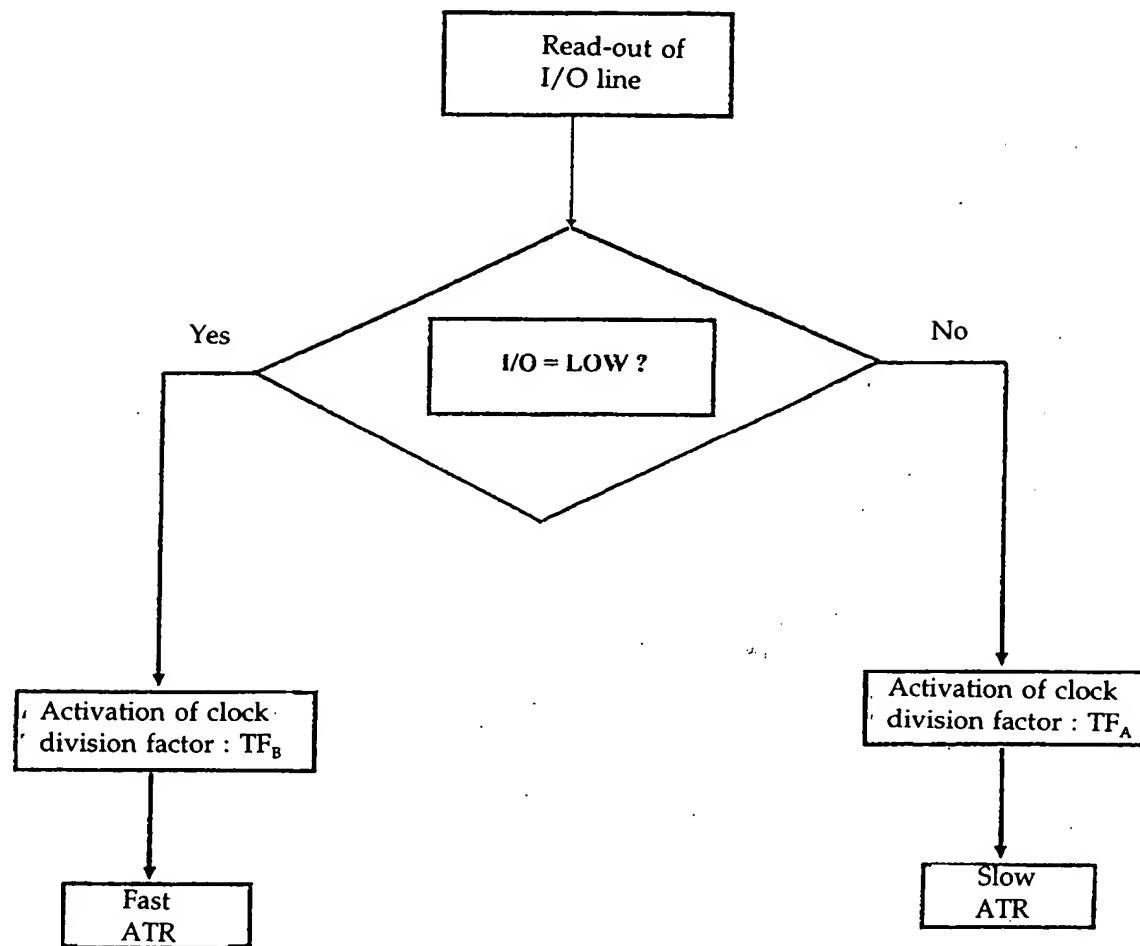


Fig. 2

CITED BY APPLICANT

Federal Republic
of Germany

Patent
DE 195 23 275 C1

Int. Cl.⁶
G 06 K 7/06
G 06 K 19/07

File Number: 195 23 275.5-53
Filing Date: 27 June 95
Laid Open: --
Publication Date of
Grant: 12 December 96

German Patent and
Trademark Office

Opposition can be filed within 3 months of publication of grant of patent

Proprietor: Orga Kartensysteme GmbH, 33104 Paderborn, DE

Inventor: Dietrich, Hanno, 33098 Paderborn, DE;
Wüppenhorst, Guido, 33098 Paderborn, DE;
Martin, Michael, 33098 Paderborn, DE

Publications taken into consideration in judging patentability:
EP 03 47 894 A2

Method for accelerating communication between a chip card and a data exchange device

A method is described for accelerating the communication between a chip card and a data exchange device, wherein from the clock frequency supplied by the data exchange device and a clock frequency division factor stored in the chip card, a transmission rate is derived for the data transmission on the I/O line.

As identification of the chip card type and as communication initiation, after a certain number of clock cycles after a reset signal sent from the data exchange device or after a reset signal generated in the chip card, the chip card transmits a predetermined bit sequence (answer-to-reset) to the data exchange device.

For communication acceleration before the transmission start of the answer-to-reset (ATR) within a time query window the data exchange device sends information across the I/O line to the chip card, wherein as a function of the sent information a corresponding clock frequency division factor (TF_A , TF_B ...) is activated before the transmission of the answer-to-reset.

Specification

The invention relates to a method for accelerating the communication between a chip card and a data exchange device according to the preamble of patent claim 1, in particular with applications which have critical time requirements, as will be described later.

To understand better the underlying problem some general comments are offered at the start:

for communicating with a data exchange device (chip card terminals) chip cards are provided with electric contact surfaces : VCC (supply voltage), I/O (serial input/output of data), CLK (clock signal), GND (ground, reference voltage), RST (reset), wherein further contact surfaces can be provided. For the communication it is necessary that in a first step the contacting takes place of the electric contact surfaces of the chip card with the electric contacts of the data exchange device. The contacts of the data exchange device are subsequently activated: supply voltage and clock signals are switched on, I/O and RST are set to specific values. In the case of chip cards with a so-called "active low reset" a reset signal is sent to the chip in the card by the data exchange device, whereupon the chip card sends a predetermined bit sequence to the data exchange device for identifying the card type - the so-called ATR (answer to reset). Only then does the data exchange proper take place. Cards with an internal reset are automatically (without external reset signal) reset after a certain number of clock cycles.

For reasons of standardization this communication process is defined with with predetermined values for the electric signal sequence in international standards, for example ISO 7816-3.

The chip card itself is not provided with a clock generator (crystal), it receives the clock signal from the data exchange device via the clock line. From this clock frequency (periodic voltage pulse sequence) given by the data exchange device a transmission rate for the data transmission on the I/O line with a defined length for

a data bit is derived. For this purpose the frequency (f_{CLK}) received by the chip card is divided by a specific factor (T_F). This is realized, for example, by programming a corresponding waiting loop into the chip card. Therewith the speed of the data transmission on the I/O line between chip card and data exchange device is determined by the clock frequency and the division factor (for example a set number of loop cycles).

In the above cited ISO standard, values between 1 and 5 MHz are preset as permissible for the clock frequency. In this framework clock frequency and division factor are normally determined such that the data on the I/O line are sent at a transmission rate of 9600 data bits/sec. The answer-to-reset is also transmitted at this normally set data transmission rate. Two common value pairs for clock frequency and division factor are:

- a) $f_{CLK} = 3.57 \text{ MHz}; T_F = 372$
- b) $f_{CLK} = 4.92 \text{ MHz}; T_F = 512.$

The use of the clock frequency $f_{CLK} = 3.57 \text{ MHz}$ is common in Japan, while the clock frequency $f_{CLK} = 4.92 \text{ MHz}$ is commonly used in Europe and the US.

From EP 03 47 894 A2 a device for the exchange of data with chip cards is known which comprises two clock generators (one for $f_{CLK} = 3.57 \text{ MHz}$ and one for $f_{CLK} = 4.92 \text{ MHz}$) in order to be able to communicate with chip cards laid out for 4.92 MHz operation, as well as also with chip cards which are laid out for 4.92 MHz operation. For this purpose in the data exchange device described therein the start bit length of the ATR is measured in order to determine whether or not the chip card is operating at 3.57 MHz or at 4.92 MHz. As a function of the result of this measurement, subsequently the one or the other clock generator is activated. The communication of the data exchange device described in EP 03 47 894 A2 subsequently takes place at a transmission rate of 9600 bits/sec.

There are already chip cards in which a second and possibly further division factors are programmed in the ROM, which are smaller than the normally active initial division factor, which generates a transmission rate of 9600 data bits/sec. A

lower division factor means faster data transmission.

In the event that a chip card contains (has programmed in) a second division factor for rapid data transmission, this division factor is only transferred to the data exchange device within the ATR. Only after the chip card and the data exchange device within the framework of a succeeding data transmission protocol type selection (PTS) have "agreed" on the second division factor, this division factor becomes active and the subsequent data traffic on the I/O line takes place at a correspondingly higher transmission rate. Of disadvantage therein is that the total data transfer within the frame of the ATR takes place with the standard set "slow" division factor.

This leads to considerable problems in applications in which the data transfer must take place within an extremely short time. This is the case, for example, when a chip card is used as a data medium and debit/payment medium for the automatic fee acquisition for street use of vehicles. Due to the vehicle speed, the time for communication between vehicle (vehicle on-board device unit with chip card) and a fee collection at the side of the road is typically limited to less than 100 milliseconds. If this is compared with the time required by the ATR of the chip card alone, the problem with the very narrowly limited communication length becomes evident: a typical ATR has 120 bits to be transmitted. At a transmission rate of, for example, 9600/s with which these are transmitted, the time for sending the ATR is already 12.5 milliseconds; i.e. this already amounts to more than 10% of the available communication time.

Even if the chip card has available a second division factor for setting a higher data transmission rate, such that the data transmission after the ATR and the protocol type selection (PTS) is significantly faster, due to the "slow" ATR and the PTS with the standard transmission rate, relatively much time has already been taken up from the beginning of the activation to the selection of the fast data transmission.

In the case of automatic fee collection, for example, at every fee collection site the communication between vehicle on-board device (on-board unit) and chip card is started with a reset signal with succeeding "slow" ATR. In order to save energy,

between the collection sites the chip card is often already electrically completely deactivated such that when a vehicle enters the communication region of a collection site, through the collection site a "cold start" for the chip card takes place after an identification signal or the like has been sent.

Against this background and to solve the above problem, the task of this invention comprises providing a method for accelerating the communication between a chip card and a data exchange device, wherein it is to be ensured that the method is compatible with standard chip cards/data exchange devices.

This task is solved through the measures specified in patent claim 1. An advantageous development of the invention is specified in dependent claim 2.

ISO standard 7816-3 defines that the ATR which is sent on the I/O line, must start in a time window defined by a specific number of clock cycles after the reset signal. It is therefore necessary to ensure that the I/O line from the data exchange device is switched to receiving (reception mode; according to standard, state "high") in time at the beginning of this time window. Between the switching on of supply voltage/clock signal or the enabling of the reset signal and the start of the above described time window, there is thus a time interval, in which the state of the I/O line does not affect establishing communication with the chip card according to standard. While it is required within the ISO 7816-3 to set the I/O line already with the supply voltage switch-on to "high", this does not have any relevance for the further communication process.

According to the invention now a query of the state of the I/O line takes place by the chip card in this time interval (query window). Since the state of the I/O line ("high" or "low") in this time window could previously be freely determined, by setting the I/O line to a predetermined state and by query of the state of the I/O line through the chip card, the switching over between two division factors (TF_A , TF_B) for the clock frequency stored in the chip card is made possible. In order to prevent possible measurement errors (undefined states immediately after setting the I/O line), the reading-out within this query window is advantageously repeated several times. The discrete read-out values are subsequently compared for determining the query

result serving as the switch-over criterion. The chip card is programmed such that if the queried I/O state is "low", the chip card automatically selects the division factor TF_B . Of importance and critical advantage is herein that the chip card in this way already sends the ATR with the data transmission rate determined by the selected division factor (TF_B). Thus a "fast" or a "slow" ATR according to the stored division factors can be switched on. At a division factor of, for example, 64, compared to the standard division factor 372, a data transmission results which is nearly 6 times faster. At a clock frequency of, for example, 4.92 MHz and a division factor of 64, a typical ATR can thus already be sent within approximately 1.6 ms.

The method will be described in the following in conjunction with Figure 1 and 2. Figure 1 shows a time diagram for the curve of supply voltage (VCC), clock signal (CLK), reset (RST) and I/O line. After the supply voltage (VCC) and the clock signal (CLK) is switched on, at time T0 a stable clock signal is at CLK. In the case of chip cards which operate with the so-called "active low reset", the reset line (RST) after T0 is in state "low" for at least 40,000 clock cycles. The reset is triggered by the leading edge (RST from "low" to "high") at time T2. With chip cards with an internal reset, the chip card automatically resets to the starting state after a certain number of clock cycles. ISO-7816-3 specifies that the start must be in a range from 400 to 40,000 clock cycles after T0 for chip cards with an internal reset and after T2 for chip cards with an "active low reset". At a clock frequency of 4.92 MHz this range is a time interval from 80 μ s and 8 ms. Therefore for chip cards with an internal reset in principle the time between T0 and T1, and for chip cards with an "active low reset", the time between T2 and T3 is available as a time query window.

The first variant shown in Figure 1 of the position of the query window can be used advantageously for chip cards with an internal reset. The query window depicted in the first variant is between time T0 and the possible start of ATR (T1).

In the second variant, the start of the query window coincides with the leading edge of the reset signal.

In the third variant the start of the query window is fixed to a point in time of N clock cycles after T0.

Setting the I/O line to "low" in the query window can take place, for example, by sending a corresponding number of "zeroes". It can be provided therein that the I/O line is set to "high" together with the switching-on of the supply voltage and is set to "low" only with the start of the query window or the I/O line is already set to "low" before the start of the query window (*cf.* variants 3 and 4).

In principle the logic states of the I/O line ("low" or "high") in the query window can be exchanged as the switch-over criterion, since the state of the I/O line in the query window does not affect the establishment of communication according to the standard. This degree of freedom still present is utilized according to the invention for implementing a change-over switch between two division factors. The key condition to be maintained is only that the I/O line is set in time at the defined transmission start of the ATR to the reception mode agreed to by the standard. It is thus also possible to transmit more information than only the two states ("high" or "low"), for example, a complete byte. Therewith different "switch-over positions" are realizable, whereby a selection between more than two clock frequency division factors becomes possible.

For further elucidation, in Figure 1 additionally the time curve of the I/O line according to prior art is depicted.

In order to make clear the compatibility of the method implemented according to the invention relative to the standard chip card/data exchange devices, the two possible constellations will here be addressed briefly:

- 1) The use of a chip card with the method implemented according to the invention (two division factors: standard division factors, "fast" division factor, reading out the I/O line in a query window before transmission of the ATR, data transmission including ATR with the clock division factor determined from the query) in a standard data exchange device which the method according to the invention does not support:

Since in the standard device the I/O line is normally set to "high" immediately with the switching-on of the supply voltage, the chip card, after querying the I/O line, is activating the standard division factor. The further communication

progress is unhindered. This will be elucidated using the chip card as an example which is used in automatic fee collection. A chip card can, on the one hand, be used as a fast data medium and debit/payment medium according to the invention in a motor vehicle on-board device, which supports the method according to the invention and, on the other hand, such a card layed out, for example, as a multifunctional and rechargeable chip card, can without problems communicate with other chip card terminals which the method according to the invention does not support (for example for a recharge process).

2) The use of a standard chip card in a data exchange device which the method according to the invention supports.

Even if the state of the I/O line in a specific time interval before the time of transmission of the ATR is set from the normally set state to "low", this is not going to "upset" the standard chip card, since it does not even query this value.

In Figure 2 the method according to the invention is again shown schematically.

Patent Claims

1. Method for accelerating communication between a chip card and a data exchange device, wherein
 - the chip card for the communication with the data exchange devices comprises electric contact surfaces for supply voltage (VCC), clock signal (CLK), reference voltage/ground (GND) and the serial input/output of data (I/O) and possibly for a reset line (RST), which correspond to corresponding contacts in the data exchange device,
 - from the clock frequency supplied by the data exchange device and a clock frequency division factor stored in the chip card a transmission rate is derived for the data transmission on the I/O line,
 - in the chip card at least two different clock frequency division factors (TF_A , TF_B ...) are stored,
 - after a specific number of clock cycles after a reset signal sent by the data exchange device or after a reset signal generated in the chip card, the chip card sends to the data exchange device a specific bit sequence (answer to reset) as identification of the chip card type and as communication initiation,

characterized in that

before the transmission start of the answer to reset (ATR) within a time query window from the data exchange device information is sent via the I/O line to the chip card, wherein, as a function of the sent information a corresponding clock frequency division factor (TF_A , TF_B ...) is activated before the transmission of the answer to reset.

2. Method as claimed in claim 1, characterized in that the I/O line ("high", "low") before the transmission start of the answer to reset (ATR) within a time query window is set by the data exchange device to a predetermined state and the state of the I/O line in this query window is read out by the chip card at least once, wherein, as a function of the result of the query of the state of the I/O line a corresponding clock frequency division factor (TF_A or TF_B) is activated before the transmission of the answer to reset.

2 sheets of drawings enclosed

First variant	Second variant	Third variant	Fourth variant
Prior art	Query window	Query window	
Prior art	Query window	Query window	Time
Read-out of I/O line		Fast ATR	Slow ATR
Activation of clock division factor : TF_B			
Activation of clock division factor : TF_A	Yes	No	